

高精度 SC PIPELINED ADC 预放大锁存比较器的分析与设计*

李 扬¹, 吴金荣¹, 刘 磊¹, 林 春¹, 李晓潮^{1,2}, 郭东辉^{1,2}

(1. 厦门大学 电子工程系, 福建 厦门 361005;

2. 福建省集成电路设计工程技术研究中心, 福建 厦门 361005)

摘 要: 提出了一种应用于开关电容流水线模数转换器的 CMOS 预放大锁存比较器。比较器采用了交叉耦合负载、PMOS/NMOS 比例优化和电容中和技术。该结构大幅提高了比较器的速度并有效抑制了回馈噪声, 减小了失调电压, 可以作为 Flash ADC 应用于高精度开关电容流水线 ADC。

关键词: 预放大锁存比较器; 开关电容流水线 ADC

中图分类号: TN432

文献标识码: A

文章编号: 0258-7998(2012)04-0049-04

Analysis and design of preamplifier-latch comparator for high accuracy switched-capacitor pipelined ADC

Li Yang¹, Wu Jinrong¹, Liu Lei¹, Lin Chun¹, Li Xiaochao^{1,2}, Guo Donghui^{1,2}

(1. Department of Electronic Engineering, Xiamen University, Xiamen 361005, China;

2. Fujian IC R&D Engineering Center, Xiamen 361005, China)

Abstract: To be compatible with switched capacitor pipelined ADC, a CMOS preamplifier-latch comparator is designed and well analyzed for high speed, low kick-back noise and low mismatch offset. The cross-coupled load, capacitor neutralization and the optimizing ratio of PMOS/NMOS are adopted in the comparator. Since the proposed architecture is effective for achieving, the comparator has been used in high accuracy switched-capacitor pipelined ADC as Flash ADC.

Key words: preamplifier-latch comparator; switched-capacitor pipeline ADC

流水线型 A/D 转换器因其在功耗、精度上的优势而广泛应用于视频处理、数字通信、数据采集、超声和医学成像等应用领域。比较器作为 A/D 转换器中的关键模块, 已经成为决定 A/D 转换器各项关键指标的重要因素之一。预放大锁存比较器因为其精度、速度上的折中, 以及较低的失调电压与回馈噪声, 成为高精度子 ADC 中必不可少的一部分。

目前多数 40 MHz~50 MHz CMOS 预放大锁存比较器都是采用 0.18 μm 或 0.35 μm 的工艺进行设计。采用 0.18 μm 工艺设计的预放大锁存比较器, 其时延比较短, 输入失调电压约在 10 mV~30 mV 之间, 灵敏度在 0.2 mV~0.3 mV, 分辨率为 6 bit~8 bit^[1]。采用 0.35 μm /3.3 V 或 2.5 V 硅 CMOS 工艺设计的比较器, 时延一般在 230 ps~

390 ps 之间, 失调电压 6.8 mV, 回馈噪声的毛刺峰值为 6.35 mV^[2-3]。为了平衡这些参数值之间的优劣, 许多研究在预放大器输入、增益和输出等电路结构以及回馈噪声的隔离上进行了设计^[2]。如采用交叉耦合负载、多级预放大的方式来提升预放大器的增益^[3], 则可减少失调, 从而获得较好的精度。应用电容中和、电路隔离等方式来降低回馈噪声^[3]。本文对所设计的预放大锁存比较器延迟时间进行了详细的理论建模和分析, 在此基础上着重对锁存器的延迟时间、失调电压和回馈噪声进行了优化设计。

1 电路时序及原理

根据所应用的流水线工作原理可知, 奇数级中的比较器必须在偶数级进入保持阶段前输出比较结果, 以便

* 基金项目: 厦门市科技计划项目(3502Z20093002); 福建省高校产学研合作科技重大项目(2010H6026)

控制偶数级产生保持所需要的电压余量,整个电路在两相不交叠时钟控制下工作。本文设计的流水线采样频率为 50 MHz,时钟周期为 20 ns,其中 ϕ_1 、 ϕ_2 为开关电容电路的非交叠时钟,为了减少电荷注入效应(馈通效应),同时需要 ϕ_{1a} 、 ϕ_{2a} 作为提前关断时钟。当 ϕ_1 为高电平时,偶数级 MDAC 进入保持阶段,因此比较器必须在 ϕ_{2a} 下降沿与 ϕ_1 上升沿的时间内完成比较并输出比较结果。本文中的非重叠时钟,其中 ϕ_1 、 ϕ_2 的非重叠时间及 ϕ_{2a} 的下降沿提前时间均为 0.3 ns,故比较器最大延迟时间为 0.6 ns。

图 1 为所设计预放大锁存比较器的开关电容输入电路,当 ϕ_1 为高电平时,开关管 S_2 、 S_3 导通,固定判决电平 V_{refp} 、 V_{refn} 输入开关电容电路,进行电荷存储,其中 V_{cm} 为共模电平。当 ϕ_2 为高电平时,开关管 S_1 、 S_4 导通, V_{inp} 、 V_{inn} 输入开关电容电路,产生预放大锁存比较器所需差值输入电压。根据电荷守恒定律可得,预放大锁存比较器的输入电压为:

$$V_{ip} - V_{in} = (V_{inp} - V_{inn}) - (V_{refp} - V_{refn}) \quad (1)$$

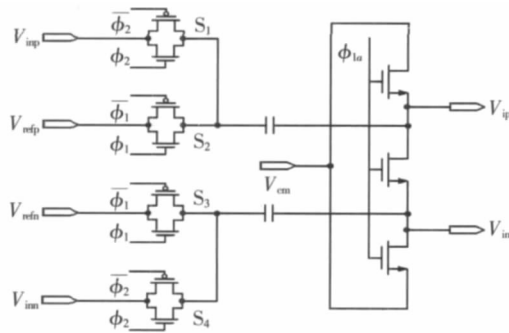


图 1 输入开关电容电路

图 2 为本文分析的预放大锁存比较器,由预放大器、锁存器及输出缓冲器电路构成。图中 $M_1 \sim M_7$ 构成了预放大器,其中,NMOS 管 M_{1a} 、 M_{2a} 构成中和电容用来减小回馈噪声^[4];PMOS 管 M_6 和 M_7 采用交叉耦合的形式,可以有效提高放大器的增益; $M_8 \sim M_{15}$ 构成了锁存再生级,其中, M_8 、 M_9 将预放大器的差分输出电压转换为电流,并输入到锁存器环路中,产生锁存器的初始电压差; M_{10} 、 M_{11} 分别用来关断和复位锁存器; $M_{12} \sim M_{15}$ 是由两个

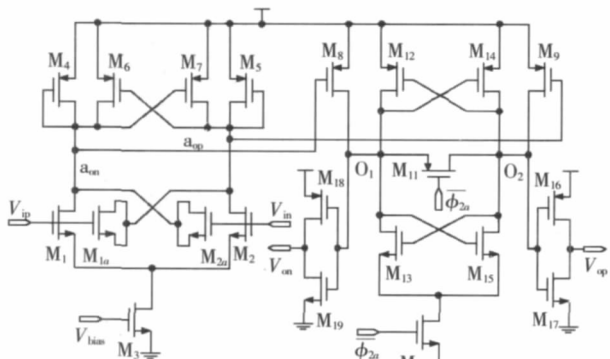


图 2 预放大锁存比较器电路图

交叉耦合的反相器构成的锁存环; M_{16} 、 M_{17} 和 M_{18} 、 M_{19} 分别构成两个反相器,用作比较器的输出缓冲器,提高比较器的带负载能力。

预放大锁存比较器的操作分两种模式:复位模式和锁存模式,采用 ϕ_{2a} 来确定其操作模式。当 ϕ_{2a} 为低电平时,比较器进入复位模式。此时,断开反相器组成的正反馈环路,预放大器对输入电压进行预放大,输出电压作用于 M_8 、 M_9 。锁存器中开关管 M_{10} 关断,复位管 M_{11} 导通,锁存环输出端被拉至同一电平;当 ϕ_{2a} 为高电平时,比较器进入锁存模式。此时,开启反相器组成的正反馈回路,锁存器中开关管 M_{10} 导通、复位管 M_{11} 关断,锁存器首先进入亚稳态^[5],随后正反馈回路将 M_8 、 M_9 的电流差在锁存环输入端形成的初始电压差迅速放大到数字电平。

2 电路延迟时间分析与优化

预放大锁存比较器的延迟时间包括初始电压差建立时间 t_u ,锁存器延迟时间 t_p 及输出缓冲器延迟时间 t_{buffer} 。锁存环延迟时间在很大程度上决定了比较器的延迟时间。锁存环延迟时间为^[6]:

$$t_p = \tau_L \ln \frac{V_{OH} - V_{OL}}{2\Delta V_i} \quad (2)$$

式中, τ_L 为锁存环时间常数, ΔV_i 为锁存环输入初始电压差。由式(2)可知减小锁存器延迟时间有两种方法:(1)减小锁存器的时间常数;(2)增大预放大器增益,增大初始电压差。从式(2)可知,减少 τ_L 比提高 ΔV_i 对缩短整个延迟时间效果更明显。

2.1 锁存器设计

锁存器是由镜像管 M_8 、 M_9 及两个交叉耦合的反相器 M_{12} 、 M_{13} 、 M_{14} 、 M_{15} 构成,其交流小信号模型如图 3 所示。

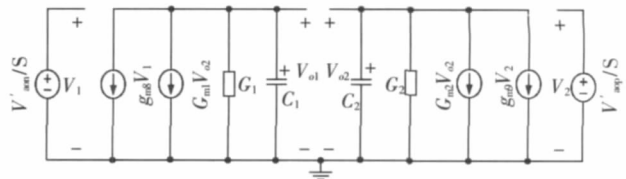


图 3 锁存器小信号模型

图 3 中, G_{m1} 、 G_{m2} 分别为反相器等效跨导, G_1 、 G_2 分别为反相器等效电导, g_{m8} 、 g_{m9} 分别为 M_8 、 M_9 的跨导, C_1 、 C_2 分别为 Q_1 、 Q_2 两点的寄生电容。由节点方程可得:

$$g_{m8}V'_{an}/s + G_{m1}V_{o2} + G_1V_{o1} + sC_1V_{o1} = 0 \quad (3)$$

$$g_{m9}V'_{ap}/s + G_{m2}V_{o1} + G_2V_{o2} + sC_2V_{o2} = 0$$

设计时一般有 $G_{m1} = G_{m2} = G_m$, $G_1 = G_2 = G$, $g_{m8} = g_{m9} = g_m$, $C_1 = C_2 = C$; 定义 $\Delta V_o = V_{o1} - V_{o2}$, $\Delta V_{io} = V'_{an} - V'_{ap}$, 可得:

$$\Delta V_o = \frac{g_m \Delta V_{io}}{G_m - G} \frac{C}{s(s - \frac{G_m - G}{C})} \quad (4)$$

则:

$$\Delta V_o(t) = \frac{g_m \Delta V_{io}}{G_m - G} (e^{\frac{G_m - G}{C}t} - 1) \quad (5)$$

锁存器的传输延迟可以定义为令输出 $\Delta V_o(t) = \frac{V_{OH} - V_{OL}}{2}$

得到:

$$t_p = \tau_L \ln \left(\frac{V_{OH} - V_{OL}}{2\Delta V_{io}} \cdot \frac{(G_m - G)}{g_m} + 1 \right) \quad (6)$$

其中, $\tau_L = \frac{C}{G_m - G} \approx \frac{C}{G_m}$ 为锁存器的时间常数, $C \approx C_{gs12} + C_{gs13} + C_{gs16} + C_{gs17} + C_{ds14} + C_{ds15}$, $G_m \approx g_{m12} + g_{m13}$ 。与式(2)相比,从式(6)可以看到,采用镜像电流镜后,对于 ΔV_{io} 的限制放宽,不需限定 $\Delta V_{io} \leq \frac{V_{OH} - V_{OL}}{2}$ 。

由于源区和漏区的扩散电容与栅电容的大小相当^[8],且在 TSMC 工艺库下通过手算发现两者近似相等,为了便于计算,简化为:

$$C \approx 2(C_{gs12} + C_{gs13}) + C_{gs16} + C_{gs17} \approx 0.67WLC_{ox}(1+k)(n+2) \quad (7)$$

其中, $k = \frac{W_{12}}{W_{13}} = \frac{W_{14}}{W_{15}}$, $n = \frac{W_{16} + W_{17}}{W_{12} + W_{13}} = \frac{W_{18} + W_{19}}{W_{14} + W_{15}}$,

$W = W_{13} = W_{15}$ 。

进入锁存模式后,由于节点电压之间的差值很小,因此锁存器首先达到亚稳态,设此时锁存器两输出节点 O_1 、 O_2 的电压为 V_m ,则:

$$G_m = \mu_p C_{ox} \left(\frac{W}{L} \right)_{12} (V_{dd} - V_{ds_{u10}} - V_m - |V_{thp}|) + \mu_n C_{ox} \left(\frac{W}{L} \right)_{13} (V_m - V_{thn}) \quad (8)$$

考虑到功耗的因素,在设计时让 M_8 、 M_9 的静态电流远小于亚稳态时锁存环中的反相器工作电流,令: $I_{D,M8/M9} \approx 0.1 \times I_{D,inv}$,则: $I_{M12} \approx I_{M13}$, $I_{M14} \approx I_{M15}$,可得:

$$V_m = \frac{\sqrt{u_p k} (V_{dd} - |V_{thp}|) + \sqrt{u_n} (V_{thn} + V_{ds_{u10}})}{\sqrt{u_p k} + \sqrt{u_n}} \quad (9)$$

令: $\mu_n = m\mu_p$,并将式(9)代入可得:

$$\tau_L = \frac{C}{G_m} = \frac{0.67L^2(n+2)}{\mu_p(V_{dd} - V_{ds_{u10}} - V_{thn} - |V_{thp}|)\sqrt{m}} \cdot \frac{1+k}{\sqrt{k}} \quad (10)$$

由式(10)可以看到通过调整反相器 PMOS、NMOS 管宽度比值可以获得最小的锁存器延迟。

$$\frac{\partial \tau_L}{\partial k} = \frac{0.67L^2(n+2)}{\mu_p(V_{dd} - V_{ds_{u10}} - V_{thn} - |V_{thp}|)\sqrt{m}} \cdot \frac{k-1}{2k\sqrt{k}} \quad (11)$$

由式(11)可知,当 $k=1$,即 $W_{12}=W_{13}$ 时,锁存器的时间常数 τ 具有最小值。当 $k=1$ 时, $\frac{\partial \tau_L}{\partial k} = 0$;当 $k>1$ 时, $\tau(k)>0$;当 $k<1$ 时, $\tau(k)<0$ 。因此由式(10)可知,当 $k=2$ 时,锁存器时间常数约增加 6%;当 $k=3$ 时,锁存器时间常数约增加 15%。

2.2 预放大器优化

当比较器用于 N 位 Flash 子 ADC 时,比较器必须具有 N+1 位的精度。比较器的精度主要由比较器的反馈噪声与失调电压决定,在此假设预放大器的失调电压和锁存器的失调电压相互独立,则整个比较器的输入参考

失调电压为:

$$\sigma_{IROS}^2 = \sigma_{OS-preamp}^2 + \frac{\sigma_{OS-latch}^2}{A_{preamp}^2} \quad (12)$$

式中, $\sigma_{OS-preamp}^2$ 为预放大器失调, $\sigma_{OS-latch}^2$ 为锁存器失调, A_{preamp}^2 为预放大器增益。此外,为了防止锁存器失调对最终结果产生影响,也需要加大锁存器的初始电压差^[8]。这都要求预放大器提供足够的增益。

为此,在预放大器设计中采用交叉耦合 PMOS 管作负载来提高预放大器的增益。其交流小信号模型如图 4 所示。

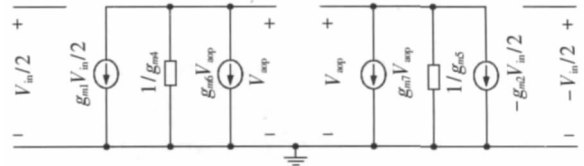


图 4 预放大器的交流小信号模型

根据图 4 的小信号模型可得:

$$\begin{aligned} g_{m1} \frac{V_{in}}{2} + V_{on1} \frac{1}{g_{m4}} + g_{m6} V_{ap} &= 0 \\ g_{m2} \frac{-V_{in}}{2} + V_{op1} \frac{1}{g_{m5}} + g_{m7} V_{ap} &= 0 \end{aligned} \quad (13)$$

令 $g_{m1}=g_{m2}$, $g_{m4}=g_{m5}$, $g_{m6}=g_{m7}$, 利用式(13)可得预放大器的增益为:

$$A_v = \frac{(V_{ap} - V_{a_{in}})}{V_{in}} = \frac{g_{m1}}{g_{m4} - g_{m6}} \quad (14)$$

由式(14)可以看出只要 $g_{m4} > g_{m6}$ 的前提下,适当调整 g_{m4} 、 g_{m6} 的大小,即可有效提高预放大器的增益,从而增大锁存器的初始电压差。设计时取: $g_{m6} = \frac{1}{2} g_{m4}$, $A_v = \frac{2g_{m1}}{g_{m4}}$ 。

2.3 反馈噪声优化

反馈噪声主要是锁存器输出端的快速变化和开关管的时钟馈通通过输入管的栅漏寄生电容传递到输入端,对输入信号造成的干扰。本文采用了电容中和技术来减小反馈噪声,如图 2 所示。假设 M_1 漏极电压变化 ΔV ,由差分对的互补性可知 M_2 漏极电压变化为 $-\Delta V$ 。假设 M_{1a} 、 M_{2a} 的电容为 C_N , M_1 、 M_2 栅漏寄生电容 C_{gl} 上的电荷变化为 $\Delta V C_{gl}$, C_N 上的电荷变化为 $-\Delta V C_N$ 。则当 $C_{gl}=C_N$ 时, C_{gl} 上电荷变化所需要的充电电流可以完全由中和电容提供,无需前级电路提供,从而避免了反馈噪声的产生。

3 仿真结果及分析

本文采用 TSMC 0.35 $\mu\text{m}/3.3\text{V}$ 工艺设计了预放大器锁存比较器核心电路。在 Cadence 环境下采用 spectre 对其进行仿真,时钟频率为 50 MHz,电源电压为 3.3 V,共模电压为 1.65 V。

图 5(a)、(b)是 $M_{12} \sim M_{15}$ 两个交叉耦合反相器 PMOS、NMOS 管宽度比值 k 不同时,预放大器锁存比较器锁存延迟时间仿真结果。其中, V_{o1} 为点线, V_{o2} 为虚线, ϕ_{2a} 为

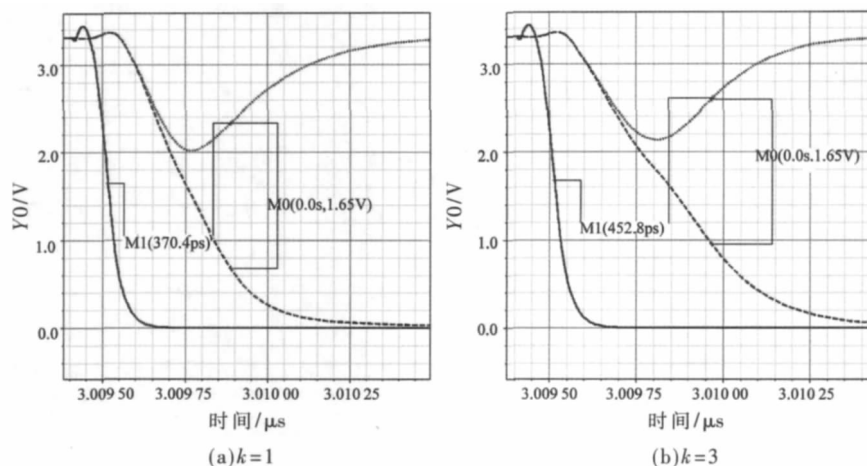


图5 不同值比较器锁存延迟时间仿真结果

实线。从图中可以看出,当 $k=1$ 时,锁存器的延迟时间 $t_p=370.4$ ps;当 $k=3$ 时,锁存器的延迟时间 $t_p=452.8$ ps,二者相比,前者明显减小了18%左右。最终整体仿真结果表明比较器的总延迟时间约为 $388t_p$ ps。

图6(a)、(b)中实线与虚线分别给出了加入中和电容前、后预放大锁存比较器反馈噪声仿真结果,其中(a)

为输入最大差分电压1.25 V时的仿真结果,(b)为输入差分电压30 mV时的仿真结果。从图中可以看出,加入中和电容前,(a)中反馈噪声峰峰值约为23 mV(-14 mV~9 mV),(b)中反馈噪声峰峰值约为13.8 mV(-7.5 mV~6.3 mV);加入中和电容后,(a)中反馈噪声峰峰值约为8.5 mV(-4.3 mV~4.2 mV),(b)中反馈噪声峰峰值约为0.14 mV(-0.06 mV~0.08 mV),可见反馈噪声得到了有效的抑制。

本文经过100次Monte Carlo模拟仿真后,通过Matlab对比较器失调电压分布进行了仿真。仿真结果表明,比较器失调电压的均值为4.92 mV,标准差为4.01 mV,分布在-14 mV~15 mV之间;比较器的输入范围为-1 V~1 V,其分辨率达到了6位。本文所设计的预放大锁存比较器满足各项设计指标,适用于采样速率为50 MS/s的高精度开关电容流水线ADC。

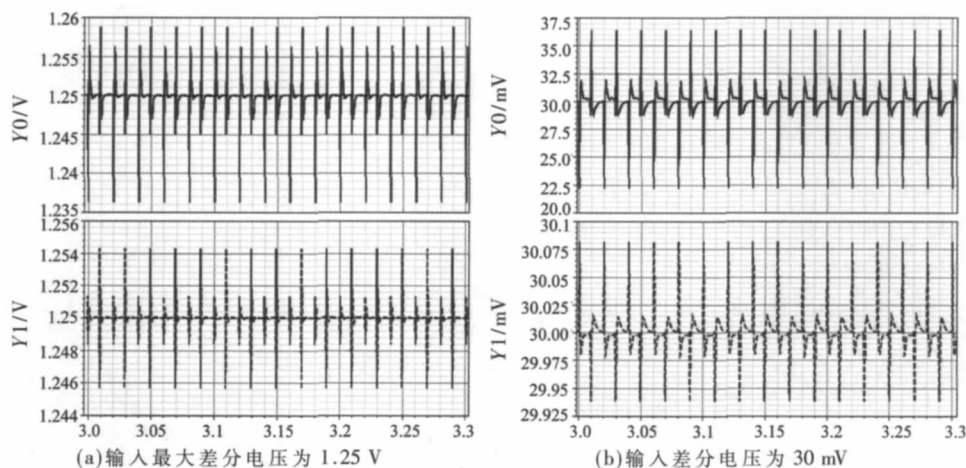


图6 预放大锁存比较器的反馈噪声仿真结果

参考文献

- [1] 吴笑峰,刘红侠,石立春,等.用于流水线ADC的预放大-锁存比较器的分析与设计[J].湖南大学学报(自然科学版),2008,35(11):49-53.
- [2] 宁宁,于奇.高速CMOS预放大-锁存比较器设计[J].微电子学,2005,35(1):56-58.
- [3] 杨赞秀,罗静芳,宁宁.新型高速低功耗CMOS预放大锁存比较器[J].微电子学,2006,36(2):213-216.
- [4] FIGUEIREDO P M, VITAL J C. Low kickback noise techniques for CMOS latched comparators, Int SympCirc and Syst[C]. Vancouver, Canada. 2004.
- [5] FLANNAGAN S T. Synchronization reliability in CMOS technology[J]. IEEE Journal of Solid-State Circuits, 1985, 20(4): 880-882.
- [6] ALLEN P E, HOLBERG D R. CMOS analog circuit design

[M]. 2nd Ed. 北京:电子工业出版社,2003:386-396.

- [7] KHOSROV D S. A new offset cancelled latch comparator for high-speed, low-power ADCs[M]. IEEE, 2010:13-16.
- [8] WESTE N, HARRIS D. CMOS VLSI design-a circuits and systems perspective[M]. 3rd ed., Ch2.3.1, Addison-Wesley, 2005.

(收稿日期:2011-12-20)

作者简介:

李扬,男,1988年生,硕士研究生,主要研究方向:模拟集成电路设计。

李晓潮,男,1970年生,副教授,博士后,访问学者,主要研究方向:集成电路设计,嵌入式系统。

郭东辉,男,1967年生,教授,博士生导师,主要研究方向:集成电路设计,人工智能,网络通讯。